

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-011993

(43)Date of publication of application : 20.01.1986

(51)Int.Cl.

G11C 11/34

(21)Application number : 59-133795

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.06.1984

(72)Inventor : SAKURAI TAKAYASU  
IIZUKA TETSUYA

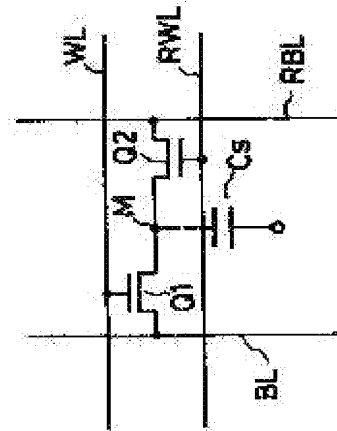
## (54) SEMICONDUCTOR MEMORY DEVICE

### (57)Abstract:

PURPOSE: To make it unnecessary to consider the refresh timing and to shorten sufficiently the access time by providing two types of lines, that is, bit line and word line, with respect to one memory cell.

CONSTITUTION: A capacitor CS is to store data of "1" and "0" as the charge accumulation, and its end, namely, a data storage node M, is connected to a data access bit line BL through a transfer gate MOS transistor Q1. Its gate is connected to a data access word line WL.

Moreover, the storage node M is connected to a data refresh bit line RBL through other transfer gate MOS transistor Q2. Its gate is connected to a data refresh word line RWL, while other end of the capacitor CS is connected to a prescribed potential supply point, for instance, a power supply voltage impression point. Thus the capacitor CS can be refreshed with use of the bit line RBL and word line RWL at an arbitrary point.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-11993

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)1月20日

G 11 C 11/34

1 0 1

8622-5B

審査請求 有 発明の数 2 (全8頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭59-133795

⑰ 出 願 昭59(1984)6月28日

⑱ 発 明 者 桜 井 貴 康 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑲ 発 明 者 飯 塚 哲 哉 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内  
⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

特 許 公 報

# 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) ダイナミック的に情報を蓄積する情報蓄積節点と、第1および第2のビット線と、第1および第2の選択線と、上記情報蓄積節点と上記第1のビット線との間にソース、ドレイン間が挿入され、ゲートが上記第1の選択線に接続されたトランスファゲート用の第1のMOSトランジスタと、上記情報蓄積節点と上記第2のビット線との間にソース、ドレイン間が挿入され、ゲートが上記第2の選択線に接続されたトランスファゲート用の第2のMOSトランジスタとを具備したことを特徴とする半導体記憶装置。

(2) ダイナミック的に情報を蓄積する情報蓄積節点、第1および第2のビット線、第1および第2の選択線、上記情報蓄積節点と上記第1のビット線との間にソース、ドレイン間が挿入され、ゲートが上記第1の選択線に接続されたトランス

ファゲート用の第1のMOSトランジスタ、上記情報蓄積節点と上記第2のビット線との間にソース、ドレイン間が挿入され、ゲートが上記第2の選択線に接続されたトランスファゲート用の第2のMOSトランジスタからなるメモリセルと、上記第1のビット線に結合されたデータアクセス用のセンスアンプと、上記第2のビット線に結合されたデータリフレッシュ用のセンスアンプとを具備したことを特徴とする半導体記憶装置。

(3) 前記第1のビット線および選択線を通常の書きアクセス動作の際に使用し、前記第2のビット線および選択線を上記情報蓄積節点の消去リフレッシュ動作の際に使用するように構成されている特許請求の範囲第1項または第2項に記載の半導体記憶装置。

(4) 前記第1および第2のビット線がそれぞれ複数に分割されている特許請求の範囲第1項または第2項に記載の半導体記憶装置。

## 3. 発明の詳細な説明

[発明の技術分野]

この発明は半導体記憶装置、特にリフレッシュ動作を必要とするダイナミック型の読み出し可能な記憶装置に関する。

【発明の技術的 배경とその課題点】

第8図は従来の代表的なダイナミック型読み出し可能なメモリ（ダイナミックRAM）の構成を示す回路図である。図においてMC1、MC2…はそれぞれメモリセル、DC1、DC2はダミーセル、BL、BLはビット線、C<sub>0</sub>はビット線BL、BLに存在する容量、WL1、WL2…はワード線、DWL1、DWL2はダミーワード線、SAはセンスアンプ、SEはセンスアンプイネーブル線、T1、T2はカラム選択信号CDにより制御されるカラム選択用のMOSトランジスタ、DL、DLはデータ線、OUTはデータを出力する出力回路である。

上記各メモリセルMCは1つのキャパシタC<sub>0</sub>と1つのトランスファゲート用のMOSトランジスタQ<sub>M</sub>とからそれぞれ構成され、キャパシタC<sub>0</sub>に電荷を蓄積しているか否かによって情報

“1”、“0”を記憶するものである。同様に上記各ダミーセルDCは1つのキャパシタC<sub>0</sub>と1つのトランスファゲート用のMOSトランジスタQ<sub>0</sub>とからそれぞれ構成されている。

しかるにメモリセルMC内のキャパシタC<sub>0</sub>に蓄積された電荷はリーク等によって時間の経過と共に減少していくのが常である。そのため、電荷が完全に消失しないうちにこの電荷を1度読みだし、再蓄込みすることによって、電荷を蓄積し直す動作が必要となる。この動作はリフレッシュと呼ばれ、一般にダイナミックRAMでは必ずこのリフレッシュ動作が必要である。例えば、256KビットのダイナミックRAMでは4ミリ秒毎に必ずすべてのセルを1回リフレッシュしなければならないという制限がある。

第9図にこのリフレッシュを定期的に行なう場合のタイミングチャートを示す。すなわち、データアクセスを行なうノーマル期間①とリフレッシュ期間②とを設定し、一定期間毎にリフレッシュ期間②を挿入してリフレッシュ動作を行なうよう

にしており、このリフレッシュ期間②では通常のデータアクセス動作はできない。なぜなら、例えばメモリセルMC1内のキャパシタC<sub>0</sub>をリフレッシュしているとき、ビット線BL、BLはこのキャパシタC<sub>0</sub>のデータになっており、このとき他のキャパシタからデータを読み出すことは不可能だからである。従って、リフレッシュを定期的に行なう場合、リフレッシュを行なっている期間にこのRAMに対するアクセス要求が生じても、リフレッシュが終了するまで待たなければならず、毎周期的にアクセス時間が長くなるという不都合が生じる。これはRAMの高速化と相入れないので問題である。

第10図は上記第8図の従来のRAMの動作を示すタイミングチャートである。このRAMでは、アドレスA<sub>0</sub>が変化するかまたはチップイネーブル信号（図示せず）が入力されると、1サイクルが開始される。次に例えばワード線WL1の信号が“1”にされて対応するメモリセルMC1が活性化される。この後、活性化されたメモリセル

MC1から一方のビット線BLにセルデータが出力される。このときダミーワード線DWL1の信号も“1”にされ、ダミーセルDC1から他方のビット線BLにセルデータが出力される。このダミーセルDC1内のキャパシタC<sub>0</sub>には、メモリセルMC内のキャパシタC<sub>0</sub>に蓄積されるデータ“1”に対応した電荷とデータ“0”に対応した電荷のはば中間の量の電荷が予め蓄積されている。次にセンスアンプイネーブル線SEの信号が“1”にされてセンスアンプSAが活性化され、ビット線BL、BLの電位差がこのセンスアンプSAで増幅される。この時点でワード線WL1の信号はまだ“1”にされているので、増幅されたデータはデータ読み出しが行われたメモリセルMCに再び蓄込まれ、リフレッシュがおこなわれる。

他方、リフレッシュではなくデータの出力を行なう場合には、上記のようにしてメモリセルMCのデータをビット線BLに出力した後、カラム選択用のMOSトランジスタT1、T2をカラム選択信号CBによって導通させ、ビット線BL、

$\overline{BL}$ のデータをデータ線 $DL$ 、 $\overline{DL}$ に伝える。この後、出力回路 $OUT$ はデータ $Doat$ を出力する。このとき、出力回路 $OUT$ では波形整形等を行なうので、ビット線 $BL$ 、 $\overline{BL}$ にデータが出力された後からかなり遅れてデータ $Doat$ が出力されることになる。

上記のように一定期間毎にリフレッシュを行なう場合とは異なり、この場合のリフレッシュはRAMのユーザーに常にこのタイミングを見出す等の負担を与えることになり、ダイナミックRAMを使い難いものになっている。

しかし、ダイナミックRAMは、リフレッシュの必要がないスタティックRAMに比べてセルの面積が通常 $1/4$ で済むため高密度化すなわち高集積度化にはかかせないものである。

#### 【発明の目的】

この発明は上記のような事情を考慮してなされたものであり、その目的はリフレッシュのタイミングを考慮する必要がなく、しかもアクセス時間も十分に短くすることができる半導体記憶装置を

提供することにある。

#### 【発明の概要】

上記目的を達成するためこの発明においては、通常のデータアクセスを行なうために第1のビット線およびワード線とデータリフレッシュのための第2のビット線およびワード線を設け、情報蓄積用のキャパシタの一端と第1のビット線との間にトランスファゲート用の第1のMOSトランジスタを挿入し、この第1のMOSトランジスタのゲートは第1のワード線に接続し、上記キャパシタの一端と第2のビット線との間にトランスファゲート用の第2のMOSトランジスタを挿入し、この第2のMOSトランジスタのゲートは第2のワード線に接続して1つのメモリセルを構成するようにしている。

#### 【発明の実施例】

以下、図面を参照してこの発明の一実施例を説明する。

第1図はこの発明に係る半導体記憶装置の1つのメモリセルの構成を示す回路図である。キャパ

シタ $C_0$ は“1”、“0”のデータを電荷蓄積の形で記憶するものであり、その一端であるデータ記憶節点 $M$ はトランスファゲート用MOSトランジスタ $Q_1$ を介してデータアクセス用のビット線 $BL$ に接続されている。上記トランジスタ $Q_1$ のゲートはデータアクセス用のワード線 $WL$ に接続されている。さらに上記記憶節点 $M$ はもう1つのトランスファゲート用MOSトランジスタ $Q_2$ を介してデータリフレッシュ用のビット線 $RBL$ に接続されている。上記トランジスタ $Q_2$ のゲートはデータリフレッシュ用のワード線 $RWL$ に接続されている。また上記キャパシタ $C_0$ の他端は所定電位供給点例えば電源電圧印加点に接続されている。

このようにビット線とワード線を1つのメモリセルに対して2種類設けることにより、一方のビット線 $BL$ が他のメモリセルでのデータアクセスのために専有されている場合でも、他方のビット線 $RBL$ を用いてキャパシタ $C_0$ をアクセスすることができる。従って、そのメモリセル内のキャ

パシタ $C_0$ がアクセスされていない任意の時点でこのキャパシタ $C_0$ を、ビット線 $RBL$ およびワード線 $RWL$ を利用してリフレッシュすることができる。またそのキャパシタ $C_0$ 自体がアクセスされている場合は、このキャパシタ $C_0$ をリフレッシュする必要がないので問題はない。

第2図は上記のような構成のメモリセルを複数個用いて構成されるダイナミックRAMの1カラム分の構成を示す回路図である。図において $MC_1$ 、 $MC_2$ …はそれぞれ第1図に示すようにデータ記憶用のキャパシタ $C_0$ 、2つのトランスファゲート用MOSトランジスタ $Q_1$ 、 $Q_2$ 、2種類のビット線 $BL$ 、 $RBL$  ( $\overline{BL}$ 、 $\overline{RBL}$ ) および2種類のワード線すなわちデータアクセス用のワード線 $WL_1$ 、 $WL_2$ …、データリフレッシュ用のワード線 $RWL_1$ 、 $RWL_2$ …それぞれが設けられたメモリセル、 $DC_1$ 、 $DC_2$ はデータアクセス用のダミーセル、 $RDC_1$ 、 $RDC_2$ はデータリフレッシュ用のダミーセル、 $C_0$ はビット線 $BL$ 、 $\overline{BL}$ に存在する容量、 $C_{00}$ はビット線 $R$

BL,  $\overline{RBL}$ に存在する容量、DWL1, DWL2はデータアクセス時に使用されるダミーワード線、RDWL1, RDWL2はデータリフレッシュ時に使用されるダミーワード線、SAはデータアクセス時用のセンスアンプ、RSAはデータリフレッシュ時用のセンスアンプ、SEはデータアクセス時センスアンプSAのセンスアンプイネーブル線、RSEはデータリフレッシュ時センスアンプRSAのセンスアンプイネーブル線、T1, T2はカラム選択信号CDにより制御されるカラム選択用のMOSトランジスタ、DL,  $\overline{DL}$ はデータ線、OUTはデータを出す出力回路である。

上記データアクセス時センスアンプSAは第3図に示すように、PチャネルMOSトランジスタ11, 12それぞれおよびNチャネルMOSトランジスタ13, 14それぞれからなるCMOSインバータ15, 16の入出力端間を交互に接続したフリップフロップ17と、このフリップフロップ17と電源電圧V印加点との間に挿入されゲートに上記セン

スアンプイネーブル線SEの反転信号が供給されるPチャネルMOSトランジスタ18およびフリップフロップ17とアース電位点との間に挿入されゲートに上記センスアンプイネーブル線SEの信号が供給されるNチャネルMOSトランジスタ19で構成されている。またデータリフレッシュ時用のセンスアンプRSAも上記センスアンプSAと同様に構成されており、センスアンプイネーブル線SEの信号の代わりにセンスアンプイネーブル線RSEの信号でトランジスタ18, 19が制御されるようになっている。

第4図は上記第2図のようなRAMの動作を示すタイミングチャートである。このRAMの集合にも、データのアクセスのサイクルはアドレスAdが読化するかまたはチップイネーブル信号が入力されることで開始される。サイクルの開始後、例えばワード線WL1の信号が“1”にされて対応するメモリセルMC1が活性化される。この後、この活性化されたメモリセルMC1からトランジスタQ1を介してビット線BL,  $\overline{BL}$ のうちの

一方のビット線BLにセルデータが出力される。このときダミーワード線DWL1の信号も“1”にされ、ダミーセルDC1から他方のビット線 $\overline{BL}$ にセルデータが出力される。このダミーセルDC1内のキャパシタC<sub>Do</sub>には、メモリセルMC1内のキャパシタC<sub>D</sub>に蓄積されるデータ“1”に対応した電荷とデータ“0”に対応した電荷のほぼ中間の量の電荷が予め蓄積されている。このため、上記ビット線BL,  $\overline{BL}$ の電位は、出力されたセルデータの電荷量に対応して順次変化する。次にセンスアンプイネーブル線SEの信号が“1”にされてセンスアンプSAが活性化され、ビット線BL,  $\overline{BL}$ の電位差がこのセンスアンプSAで増幅される。そしてこの後、データ線DL,  $\overline{DL}$ に伝えられ、出力データDataとして出力回路OUTから出力される。

一方、上記メモリセルMC1でデータアクセス(この場合にはデータの読み出し)を行なっている最中に、このカラムにおける他のメモリセル例えばメモリセルMC2でデータリフレッシュの必

要が生じた場合には、このメモリセルMC2のデータリフレッシュ用のワード線RWL2の信号が“1”にされ、そのセルデータがリフレッシュ用のビット線RBL,  $\overline{RBL}$ のうちの一方のビット線RBLに出力される。このとき、データリフレッシュ用のダミーワード線RDWL1の信号も“1”にされ、ダミーセルRDC1のセルデータが他方のビット線 $\overline{RBL}$ に出力される。このダミーセルRDC1内のキャパシタC<sub>Ro</sub>にも、メモリセルMC1内のキャパシタC<sub>D</sub>に蓄積されるデータ“1”に対応した電荷とデータ“0”に対応した電荷のほぼ中間の量の電荷が予め蓄積されている。このため、上記ビット線RBL,  $\overline{RBL}$ の電位は、出力されたセルデータの電荷量に対応して順次変化する。そして両ビット線の電位差がある程度大きくなった時点でセンスアンプイネーブル線RSEの信号が“1”にされ、リフレッシュ時用のセンスアンプRSAが活性化されると、ビット線RBL,  $\overline{RBL}$ の電位差が増幅される。この時点でワード

線R-WL1の信号はまだ“1”にされているので、センスアンプRSAで増幅されたデータはデータ読み出しが行われた元のメモリセルMC2に再び書込まれ、これによってリフレッシュ動作がおこなわれる。またこのリフレッシュ動作の開始タイミングであるワード線RWLの信号の“1”への立上がりは、データアクセス時のタイミングとは全く無関係にすることができる。なお、第4図の組合は通常のデータアクセスよりも前にリフレッシュを行なう例である。

第5図は、上記第2図のRAMを実際に集積回路化する際のメモリセルMCのパターン平面図である。図において21a、21b、21cはP型の不純物を含む半導体基板上に形成され、前記トランジスタQ1、Q2のソース、ドレイン領域および前記キャパシタC0の領域となるN型の不純物を含むN+型半導体領域である。このうち1つのN+型半導体領域21cの表面上には、比較的に厚い絶縁膜(図示せず)を介して、第1層目の多結晶シリコン層による前記キャパシタC0のキャパ

シタプレート22が形成されている。このキャパシタプレート22は一定電位点例えばアース電位点に接続されている。さらに上記N+型半導体領域21aと21cとの間には、第2層目の多結晶シリコン層による前記ワード線WLが形成され、同様に上記N+型半導体領域21cと21bとの間には、第2層目の多結晶シリコン層による前記ワード線RWLが形成されている。上記ワード線WL、RWLは並行して同一方向に延長されている。さらに上記両ワード線WL、RWLの延長方向と直交する方向には、互いに並行してアルミニウム等による前記ビット線BL、RBLが形成されている。そしてこのビット線BLと各メモリセルMCの上記N+型半導体領域21aはコンタクトホール23で接続されており、ビット線RBLと各メモリセルMCの上記N+型半導体領域21bはコンタクトホール24で接続されている。

ところで前記したようにデータリフレッシュは、ある決まった期間毎に個々のセルに対して1回行なえばよい。例えば256Kビットのダイナミック

RAMでは4ミリ秒おきに行なえばよい。第6図はこのようなデータリフレッシュ動作を自動的に行なうようにした、この発明の応用例のRAMの構成を示すブロック図である。このRAMではメモリセルを複数のメモリアブロック100a、100b…に分割し、それぞれのメモリアブロック100に対してカラムセンスアンプ110を設け、個々の2組のメモリアブロック100毎にロウデコーダ120を設けている。従ってこのRAMではビット線(BL、RBL)は複数の部分に分割されており、各メモリアブロック100内のビット線は個々のカラムセンスアンプ110によって選択駆動されるようになっている。

また130はアドレスバッファであり、このアドレスバッファ130の出力アドレス信号は上記各ロウデコーダ120に供給されている。また140はリフレッシュコントローラであり、このリフレッシュコントローラ140はリフレッシュするべきセルに対応したリフレッシュ用アドレスおよび前記センスアンプRSAを制御するセンスアンプイネー

ブル線RSEの信号を発生する。このうちリフレッシュ用アドレスは上記各ロウデコーダ120に供給され、センスアンプイネーブル線RSEの信号は上記各カラムセンスアンプ110に供給されている。このRAMでは、メモリセル群を複数のメモリアブロック100a、100b…に分割し、これによりビット線(BL、RBL)を複数の部分に分割している。

ところで、リフレッシュの際に必要な電力はビット線における電荷の充放電電流によるものが支配的である。そこでビット線の長さを $1/n$ にすると、これに比例してビット線に存在している前記容量C0、CWBも $1/n$ となる。そのため、ビット線の充放電電荷は $C0 \cdot V$ または $CWB \cdot V$ (ただしVは電源電圧)なので、それぞれの値も $1/n$ となる。従って、リフレッシュ電流も $1/n$ となり、例えば電池によってこのRAMをバックアップするような場合に電池の寿命をn倍にすることができる。

このように上記第1図に示すような構成のセル

を用いたRAMでは、リフレッシュのタイミングを全く気にせずに行なうことができ、ダイナミックでありながらスタティックRAMとして使用することができる。またデータアクセスの際に他のセルでデータリフレッシュを行なうことができるので、従来に比べアクセス時間を十分に短くすることができる。しかも従来のダイナミックのものとは比べ、セル内で1個のトランジスタと2つの配線(ビット線ワード線)を余分に設ける必要があるもので、セル面積が多少大きくなるものの、スタティックのものとは比べればより小さなセル面積にでき、通常のスタティックRAMの2倍以上の記憶容量のものが実現できる。

なおこの発明は上記の実施例に限定されるものではなく種々の変形が可能であることはいふまでもない。例えば上記実施例では1つのメモリセルMCが第1図に示すように、キャパシタC<sub>0</sub>と2個のトランスファゲート用のMOSトランジスタQ<sub>1</sub>、Q<sub>2</sub>を備えたものである場合について説明したが、これは第7図に示すような構成にして

もよい。このセルは4個のMOSトランジスタQ<sub>11</sub>ないしQ<sub>14</sub>からなり、相補のデータを記憶する4トランジスタ構成のメモリセルに対し、その情報蓄積点となるM<sub>1</sub>、M<sub>2</sub>点それぞれとデータリフレッシュ用のビット線RBL、 $\overline{RBL}$ それぞれとの間にデータリフレッシュ用のランスファゲート用のMOSトランジスタQ<sub>15</sub>、Q<sub>16</sub>を新たに挿入するようにしたものである。

また上記実施例ではデータアクセスの例としてデータ読み出しのみを説明したが、これは図示しないデータ書き込み回路を用いてデータ書き込みが行なえることはもちろんである。

さらに上記第1図のメモリセルにおいて、一方のトランジスタQ<sub>1</sub>とビット線BLをデータアクセスに使用し、他方のトランジスタQ<sub>2</sub>とビット線RBLをデータリフレッシュに使用する場合について説明したが、これはトランジスタQ<sub>2</sub>とビット線RBLもデータアクセスに使用するようにしてもよい。

〔発明の効果〕

以上説明したようにこの発明によれば、リフレッシュのタイミングを考慮する必要がなく、しかもアクセス時間も十分に短くすることができる半導体記憶装置を提供することができる。

#### 4. 図面の簡単な説明

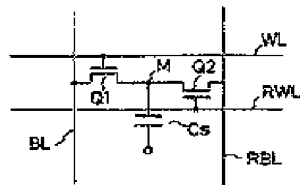
第1図はこの発明に係る半導体記憶装置の1つのメモリセルの構成を示す回路図、第2図は第1図の構成のメモリセルを複数個用いて構成されるダイナミックRAMを示す図、第3図は上記ダイナミックRAMのセンスアンプの構成を示す回路図、第4図は第2図のRAMの動作を示すタイミングチャート、第5図は第2図のRAMを実際に集積回路化する際のメモリセルMCのパターン平面図、第6図はこの発明の適用例のRAMの構成を示すブロック図、第7図はこの発明に係る半導体記憶装置の他のメモリセルの構成を示す回路図、第8図は従来のダイナミックRAMの構成を示す回路図、第9図はこの従来のRAMでリフレッシュを定期的に行なう場合のタイミングチャート、第10図は上記従来のRAMの動作を示すタイミ

ングチャートである。

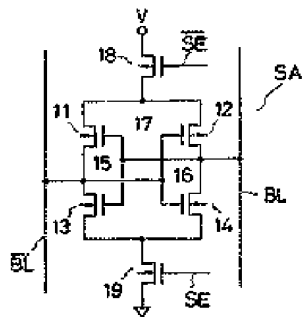
MC…メモリセル、C<sub>0</sub>…キャパシタ、M…データ記憶節点、Q<sub>1</sub>…データアクセス用のMOSトランジスタ、Q<sub>2</sub>…データリフレッシュ用のMOSトランジスタ、BL、RBL…ビット線、WL、 $\overline{WL}$ …ワード線、SA、RSA…センスアンプ、OUT…出力回路。

出願人代理人 弁理士 船江良彦

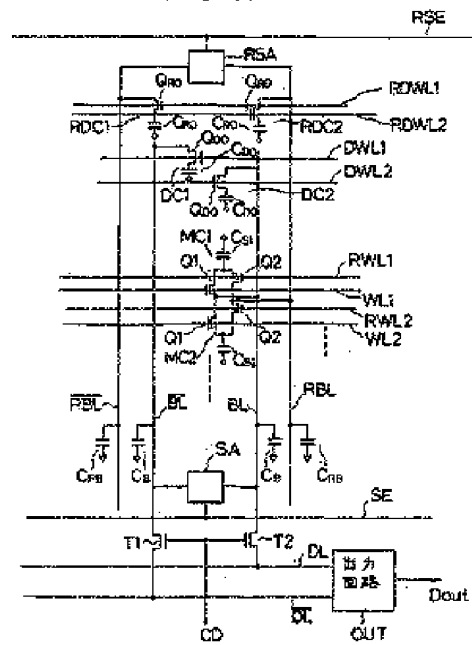
第 1 圖



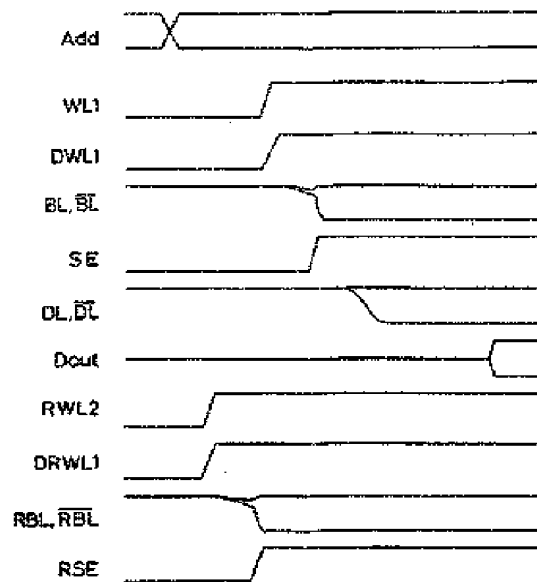
第 3 圖



第 2 圖

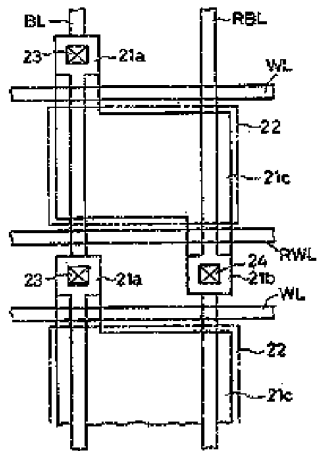


第 4 圖

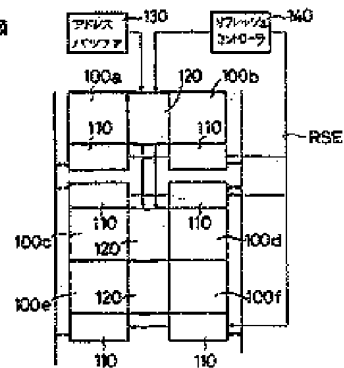




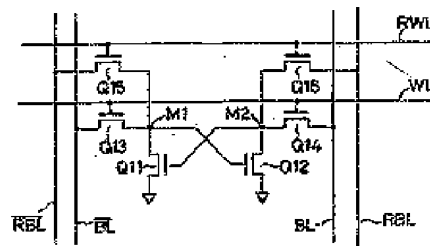
第 5 圖



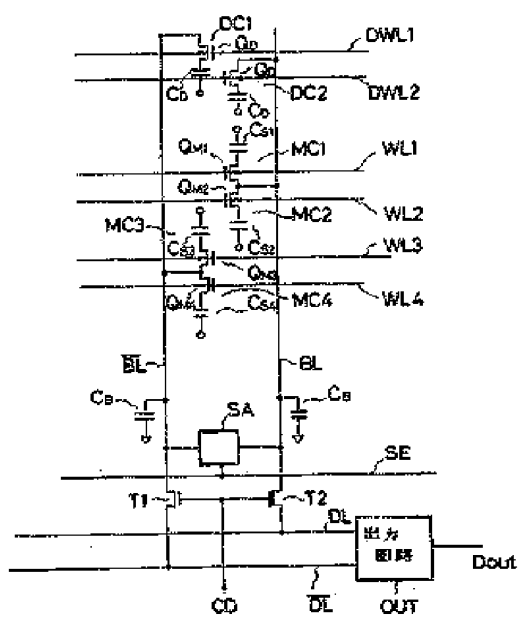
第 6 圖



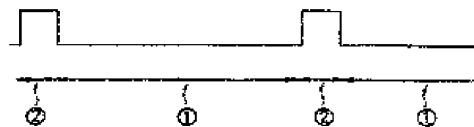
第 7 圖



第 8 圖



第 9 圖



第 10 圖

